

Si 基 InSb 红外焦平面阵列探测器的研究

王 雯, 张小雷, 吕衍秋, 司俊杰

(中国空空导弹研究院 红外探测器航空科技重点实验室, 河南 洛阳 471009)

摘要: 针对 InSb 红外焦平面芯片中 InSb 与 Si 读出电路热膨胀系数不匹配导致芯片龟裂及钢柱断裂现象, 开展了 Si 基 InSb 红外焦平面探测器(FPA)的研究。运用磨抛减薄技术及金刚石点切削技术对芯片背面进行精确减薄, 得到厚度为 15 μm 的 InSb 芯片; 研究了在 InSb 芯片和 Si 片上溅射及蒸发减反膜工艺, 得到 InSb 芯片和 Si 片粘贴后红外中短波光谱的透过率高达 88%; 对器件的整体工艺路线进行了探索, 最终制备出 Si 基 128×128 元 InSb 红外焦平面探测器器件, 测试结果表明: 器件探测率、响应率及串音等性能指标达到传统工艺制备的器件性能指标; 经温冲试验后测试器件结构保持完好, 性能未发生变化, 证明该工艺路线可解决芯片受应力冲击而产生的钢柱断裂及芯片龟裂的现象, 可有效提高 InSb 焦平面探测器芯片的成品率。

关键词: InSb; 红外焦平面; 金刚石点切削; Si 绑定

中图分类号: TN215 **文献标志码:** A **文章编号:** 1007-2276(2014)05-1359-05

InSb infrared focal plane arrays detector based on Si wafer

Wang Wen, Zhang Xiaolei, Lv Yanqiu, Si Junjie

(Academy Key Laboratory of Science and Technology on Infrared Detector, China Airborne Missile Aviation, Luoyang 471009, China)

Abstract: The thermal expansion coefficient mismatch between InSb chips and silicon readout circuits was one of the prime reasons for cracking and indium column chip breakage, which carried out research InSb infrared Focal Plane Arrays (FPA) detectors banding on Si wafer. It used the technology of grinding, polishing thinning and the point cutting of diamond to cutting precisely on the backside of the chips, which on the purpose to have chips with a thickness of 15 μm. The transmittance of infrared spectral obtained was higher than 88% in medium-short wavelength. The result shows that most of the important performance such as detectivity and responsivity of FPA under the bonding technique are equal to traditional structure FPA. Furthermore, the performance of these FPA doesn't degress after temperature shock experiment, which proves that the Si-bonding technology can solve the problem brought out by indium columns breakage of impact stresses, which plays a dominant role in the yield of InSb infrared focal plane arrays detectors.

Key words: InSb; infrared focal plane; point cutting of diamond; silicon banding

收稿日期: 2013-09-12; 修订日期: 2013-10-15

基金项目: 国家自然科学基金 (61205056)

作者简介: 王雯(1987-), 女, 硕士, 主要从事红外材料与器件方面的研究。Email: wangwencb@163.com

0 引言

随着红外探测器研究水平及对其性能要求的提高,凝视焦面探测器作为新一代探测器而得到广泛重视和发展。混成式器件中,光敏元件和读出电路分别制作在不同材料的芯片上,通过导线焊接或倒装互连实现对光电信号的读出^[1-4]。其优点是可以对敏感元件芯片和读出电路芯片分别进行优化,提高器件的性能及成品率。倒装互连结构优点包括:可实现高的 I/O 接口密度以及芯片与衬底间短的连接距离,从而可以实现高性能及小型化产品^[5-6]。为了保证探测器组件的量子效率,提高响应率,对采用背光照方式收集光能量的探测器,需要对倒装焊后的 InSb 芯片进行减薄和表面末处理工作^[7-9]。通常采用化学机械磨抛方式对探测器芯片进行减薄,采用填充低温胶的方法来增加器件互连的机械强度^[10]。此后通过化学腐蚀的方法去除损伤层和生长减反/钝化膜来降低表面红外辐射的反射率和表面载流子的复合率。为了抑制背景噪声、提高探测器的信噪比,红外探测器通常工作于液氮温度,即 77 K,从室温到 77 K 的温度变化范围为 220 K,但是由此也带来一系列难以解决的工艺问题,由于光敏元件和读出电路分别制作在不同的材料(InSb 与 Si)的芯片上,导致在高低温循环冲击时,因材料的膨胀系数使得芯片发生龟裂或互连钢柱发生断裂(见图 1),由于材料之间热膨胀系数的差异,在降温过程中将在探测器组件中引入热应力^[11]。在整个探测器组件中,InSb 芯片最薄,强度较低,易引起热应力集中,应力过度集中于 InSb 芯片将导致探测器芯片沿解理面碎裂,限制了探测器组件的成品率,制约着探测器组件的批量生产能力,使得探测器组件的成本居高不下,不利于精确制导武器的大量列装^[12-13]。

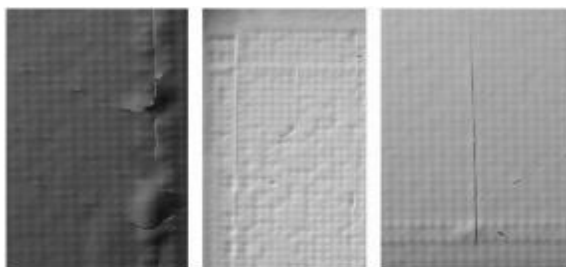


图 1 热冲击下 InSb 面阵探测器的典型碎裂照片

Fig.1 Typical fragmentation photos of InSb array detector by thermal shock

该研究运用 Si 绑定技术路线解决 InSb 芯片的钢柱断裂及芯片龟裂问题。利用磨抛减薄技术及金刚石点切削技术对芯片背面进行精确减薄,得到厚度为 15 μm 的 InSb 芯片;运用 InSb 芯片 Si 片上溅射及蒸发减反膜工艺,获得 InSb 芯片和 Si 片粘贴后红外中短波光谱的透过率高于 90%;最终利用 Si 绑定技术解决了 InSb 芯片高低温冲击时因 Si 读出电路与 InSb 热膨胀系数不同引起的钢柱断裂及芯片龟裂的现象,提高了 InSb 焦平面芯片成品率。

1 实验

焦平面 InSb 芯片大片 Si 基绑定技术的工艺路线为:对前期制备到金属电极的 InSb 阵列芯片进行正面光刻胶保护,运用石蜡粘于单抛 Si 片后上磨抛盘,运用机械磨抛减薄 InSb 阵列芯片至厚度 25 μm 左右,运用金刚石点切削技术对 InSb 芯片精确减薄至 15 μm ,乳酸腐蚀后镀 ZnS 增透膜;在一双抛 Si 片两面分别镀 SiO 增透膜和 ZnS 增透膜,运用环氧树脂使双抛 Si 片镀有 ZnS 增透膜的一面与大片 InSb 阵列芯片粘接,固化后,去蜡清洗进入蒸钢、切割后与 Si 读出电路互连,从而实现了这种大片 InSb 阵列芯片的转移工艺。

其流程图如图 2 所示。

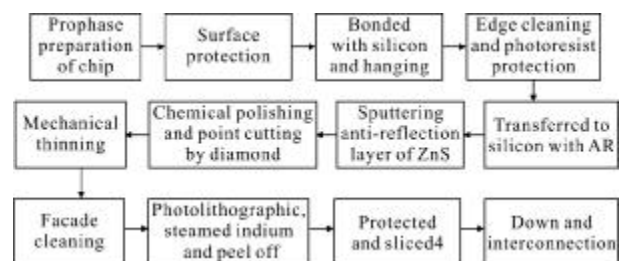


图 2 焦平面 InSb 芯片大片 Si 基绑定技术流程图

Fig.2 Chart of large silicon substrate binding technology in InSb chip focal plane

与目前所使用的灌胶技术制备的 128 \times 128 焦平面 InSb 探测器所不同的是该方法在倒焊互连后不需要进行灌胶固化,而通过上下层的 Si 保护,使得 InSb 在经过高低温冲击实验时不会发生钢柱断裂和芯片龟裂现象。其结构示意图如图 3 所示。芯片照片见图 4。

图 3 是使用 Si 基绑定技术和传统的 InSb 焦平面探测器技术路线对比示意图,后者由于光敏元件

和读出电路分别制作在不同的材料(InSb 与 Si)的芯片上,导致在高低温循环冲击时,因材料的膨胀系数使得芯片发生龟裂或互连钢柱发生断裂,从而影响成品率,无法满足大规模焦平面器件,但使用 Si 基绑定技术可以消除由应力产生的钢柱断裂的现象。

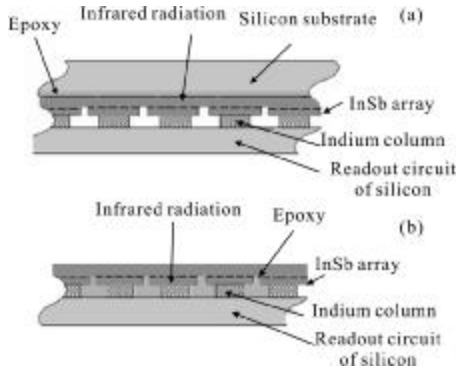


图 3 使用 Si 基绑定结构图(a)与传统结构图(b)对比图

Fig.3 Comparison chart of using binding structure by Si substrate (a) and traditional structure(b)

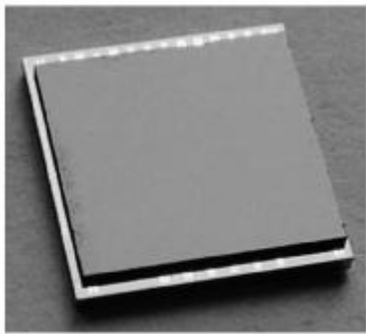


图 4 Si 基绑定结构 128x128 焦平面探测器芯片照片

Fig.4 Photo of 128x128 focal plane detector chip by binding structure of Si substrate

Si 基绑定技术相对于传统工艺有以下两个优点,第一,InSb 与 Si 键合后,这样 Si 衬底和 Si 读出电路形成了很好的热匹配结构,就避免器件低温应用时因热失配引起的变形,并且大大提高了器件的可靠性。第二,由于热匹配减小 InSb 层的应变,从而减小探测器的暗电流,提高了探测器的分辨率。

2 结果与分析

2.1 Si 片的红外透射性

由于双抛 Si 片在中波红外的透过率只有 55%左右,这样如果直接和 InSb 绑定会将近有一半的入射光能量损失,所以考虑在 Si 表面进行减薄膜制

备,增加光的入射能量,考虑到 Si 一面和氧气接触,一面通过环氧胶和 InSb 接触,通过多次试验,最终确定了 Si 的双面减反膜一面为 ZnS,一面为 SiO, ZnS 通过磁控溅射得到, SiO 通过电子束蒸发得到,最终透射结果如图 5 所示。

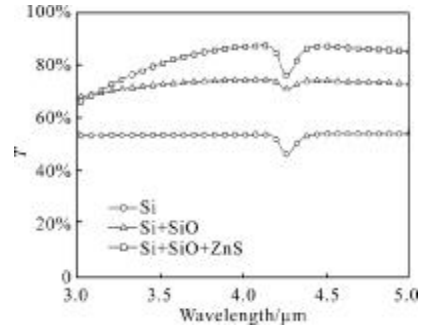


图 5 Si、Si/SiO、Si/SiO/ZnS 红外透过光谱

Fig.5 Infrared transmission spectrum of Si, Si/SiO and Si/SiO/Zn

图 5 给出了 Si 片在无减反膜、单面蒸发 SiO 减反膜和双面分别蒸发 SiO 和 ZnS 减反膜后的红外透射光谱,从图中可以看到,当 Si 无减反膜时,其在 3~5 μm 波段的透射率只有 55%,当单面蒸发 SiO 减反膜后其透过率达到 70%~75%,再在另一面溅射 ZnS 后在该波段其透过率最高可达到 88%。

2.2 连通性测试

对倒焊后器件的连通性进行测试,测试条件为: 5 MHz, 5.4 ms, 200 μs, 结果见表 1。

表 1 器件倒焊后连通性测试

Tab.1 Device connectivity test after welding

Number of devices	Out signal	Results of test
200916-03	Vchargebias=4.21 V saturation	Uniformity of entire frame shows well, and no blind pixel
	Vchargebias=4.45 V close	
200916-04	Vchargebias=4.20 V saturation	Uniformity of entire frame shows well, and no blind pixel
	Vchargebias=4.42 V close	

测试结果表明,03,04 号器件连通性良好,可装金属杜瓦进行成像测试。

2.3 黑体响应测试

对装金属杜瓦的两个器件进行黑体响应测试,测试条件为如下。

时钟: 2.5 MHz; 积分时间: 40 μs; Rowvb=3.3 V; ColV=3.2 V; Vbopin=1.8 V; Vchargebias=3.5 V。

测试结果如表 2 所示。

表 2 对面黑体采样结果

Tab.2 Sampling results of the blackbody

Number of devices	03	04
Responsivity mean/ VW^{-1}	4.83E6	4.87E6
Peak detectivity mean $/cm\ Hz^{1/2}W^{-1}$	3.73E10	3.65E10
NETD mean/mK	27.8	29.9
Bad pixel total	29	35
Test notes	Rate of blind pixel < 0.2%	Rate of blind pixel < 0.2%

对两个器件的测试结果表明,器件的峰值响应率在 $3.7E10\sim 4.0E10\ cmHz^{1/2}/W$,满足使用要求,其盲元率小于 0.2%,满足使用要求。黑体成像图见图 6。

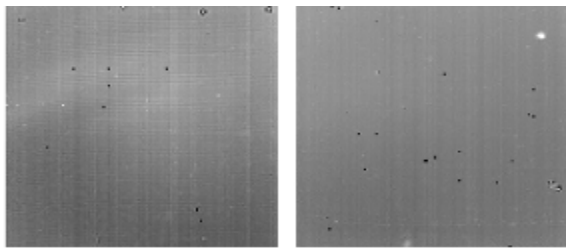


图 6 03、04 号样品黑体成像图

Fig.6 Imaging picture in black body of sample 03 and 04

2.4 串音测试

最后对器件的光敏元之间的串音进行了测试,对两个器件分别选取了两个点进行了测试,测试结果如表 3、表 4 所示。

表 3 03 号器件两个点的串音测试结果

Tab.3 Crosstalk test results on the 3rd devices

(63, 62)			(76, 75)		
0.44	9.12	4.33	1.41	10.99	3.28
0.81	100.00	14.06	1.97	100.00	4.00
0.68	6.88	3.81	1.79	6.26	2.00

表 4 04 号器件两个点的串音测试结果

Tab.4 Crosstalk test results on the 4th devices

(48, 72)			(68, 68)		
2.82	17.48	2.44	1.33	17.96	3.15
4.46	100.00	9.54	2.60	100.00	11.45
2.92	15.03	4.62	1.56	9.22	3.93

左右光敏元之间的串音基本接近或满足性能要求,而器件的上下光敏元之间的串音大于左右光敏元之间的串音,这可能和测试系统有关。

2.5 非均匀性测试

Si 基绑定技术的 InSb 芯片平均非均匀性为 2%,相对于传统结构 InSb 芯片的非均匀性 5%有明显提高,证明使用 Si 基绑定技术由于应力均匀能大幅度提高芯片响应的均匀性。

2.6 温度冲击测试

经统计,传统工艺加工的 200 片 128×128 InSb 芯片,对其进行液氮冲击试验,试验次数 10 次,进行黑体响应测试,10%的芯片出现裂纹。

而对 10 片 Si 基绑定技术的 128×128 InSb 芯片进行液氮冲击试验,试验次数 200 次,进行黑体响应测试,芯片均没有龟裂问题出现,无盲元增加,证明运用 Si 绑定工艺可以很好解决读出电路和 InSb 芯片应力不匹配而导致的芯片龟裂及钢柱断裂问题。

3 结论

文中以解决芯片受应力冲击而产生的钢柱断裂及芯片龟裂的现象为研究方向,认为传统的灌胶工艺中,由于材料之间热膨胀系数的差异,在降温过程中将在探测器组件中引入热应力。在整个探测器组件中,InSb 芯片最薄,强度较低,易引起热应力集中,应力过度集中于 InSb 芯片将导致探测器芯片沿解理面碎裂,实验通过对 InSb 芯片和 Si 片的绑定,由于绑定的 Si 片和读出电路为相同材料,膨胀系数相同,从而避免了器件在受热冲击后由于应力冲击而产生的钢柱断裂及芯片龟裂的现象。可大幅度的提高 InSb 芯片的成品率,有助于 InSb 芯片的大规模生产。

参考文献:

- [1] Xu Bulu, Zhang Qun, Cai Xia, et al. Underfill delamination and solder joint failure of flip chip on board [J]. Chinese Journal of Semiconductors, 2001, 22 (10): 1338-1342. (in Chinese)
- [2] Chen Boliang. Development state of IRFPA imaging device [J]. Infrared and Laser Engineering, 2005, 34(1): 1-7. (in Chinese)

- [3] Liu Wei. Passivation of InSb detector with two oxide method [J]. *Infrared and Laser Engineering*, 2013, 42(7): 1815-1818. (in Chinese)
- [4] Xu Shuli, Wang Haizhen. Wet -chamfering techniques for hybrid focal plane arrays [J]. *Infrared and Laser Engineering*, 2007, 36(S): 256-258. (in Chinese)
- [5] Sheng Zhong, Xue Songbai, Zhang Liang, et al. Fatigue life prediction for flip chip soldered joints based on creep stain model [J]. *Transactions of the China Welding Institution*, 2008, 29(10): 53-56. (in Chinese)
- [6] Cai Xia, Huang Weidong, Xu Bulu, et al. Die cracking of flip -chip with no -flow underfill [J]. *Chinese Journal of Semiconductors*, 2003, 24(1): 90-97. (in Chinese)
- [7] Antoni Rogalski. Infrared detectors: status and trends [J]. *Progress in Quantum Electronics*, 2003, 27: 59-210.
- [8] Chen S C, Lin Y C, Cheng C H. The numerical analysis of strain behavior at the solder joint and interface in flip -chip package [J]. *Journal of Materials Processing Technology*, 2006, 171: 125-131.
- [9] Wan J W, Zhang W J, Bergstrom D W. Recent advances in modeling the underfill process in flip -chip packaging [J]. *Microelectronics Journal*, 2007, 38: 67-75.
- [10] Frank Stepniak. Mechanical loading of flip chip joints before underfill: the impact on yield and reliability [J]. *Microelectronics Reliability*, 2004, 44: 805-814.
- [11] Xu Chen, Lin Y C, Liu Xingsheng, et al. Fracture mechanics analysis of the effect of substrate flexibility on solder joint reliability [J]. *Engineering Fracture Mechanics*, 2005, 72: 2628-2646.
- [12] Rainer Dudek, Ralf Doering, Christine Bombach, et al. Simulation based analysis of secondary effects on solder fatigue[J]. *Microelectronics Reliability*, 2009, 49: 839-845.
- [13] Frank Stepniak. Mechanical loading of flip chip joints before underfill: the impact on yield and reliability [J]. *Microelectronics Reliability*, 2004, 44: 805-814.
- [14] Xie D J. A new experimental method to evaluate creep fatigue life of flip -chip solder joints with underfill [J]. *Microelectronics Reliability*, 2000, 40: 1191-1198.