

低照度 CMOS 图像传感器设计与实现

李金洪¹, 邹梅²

(1. 昆明船舶设备研究试验中心, 云南 昆明 650051;

2. 昆明物理研究所, 云南 昆明 650223)

摘要: 设计了一种基于电容反馈跨阻放大器型 (Capacitive Trans-impedance Amplifier, CTIA) 像元电路与双 Δ 采样 (Delta Double Sampling, DDS) 的低照度 CMOS 图像传感器系统。采用 CTIA 像元电路提供稳定的光电二极管偏置电压以及高注入效率, 完成在低照度情况下对微弱信号的读取; 同时采用数字 DDS 结构, 通过在片外实现像元积分信号与复位信号的量化结果在数字域的减法, 达到抑制 CMOS 图像传感器中固定图案噪声的目的, 进一步提高低照度 CIS 的成像质量。基于 $0.35\ \mu\text{m}$ 标准 CMOS 工艺对此基于 CTIA 像元电路的 CMOS 图像传感器芯片进行流片, 像元阵列为 256×256 , 像元尺寸为 $16\ \mu\text{m} \times 16\ \mu\text{m}$ 。测试结果表明该低照度 CMOS 图像传感器系统可探测到 $0.05\ \text{lx}$ 光照条件下的信号。

关键词: 低照度; CMOS 图像传感器; 双 Δ 采样; CTIA 像元电路

中图分类号: TN216 文献标志码: A DOI: 10.3788/IRLA201847.0720002

Design and realization of low-light-level CMOS image sensor

Li Jinhong¹, Zou Mei²

(1. Kunming Shipborne Equipment Research & Test Center, Kunming 650051, China;

2. Kunming Institute of Physics, Kunming 650223, China)

Abstract: A low-light-level CMOS image sensor with Capacitive Trans-impedance Amplifier (CTIA) pixel circuit and Delta Double Sampling (DDS) was proposed. By using CTIA circuit, stable bias voltage of the photodiode and high injection ratio can be realized, and the weak signal in low-light-level condition can be readout; Meanwhile, an off-chip digital DDS was used to reduce the fixed pattern noise (FPN) which was realizing the subtraction algorithm between the reset signal and pixel signal after A/D conversion off-chip, and improve the image quality of the low-light-level CIS. This low-light-level CMOS image sensor (CIS) based on CTIA pixel circuit was implemented in the $0.35\ \mu\text{m}$ standard CMOS technology. The pixel array was 256×256 , and the pixel size was $16\ \mu\text{m} \times 16\ \mu\text{m}$. The experimental results show that this low-light-level CIS can capture recognizable images with the illumination down to $0.05\ \text{lx}$.

Key words: low-light-level; CMOS image sensor; Delta Double Sampling; CTIA pixel circuit

收稿日期: 2018-02-10; 修订日期: 2018-03-20

基金项目: “十三五”国家科技重大专项(2016ZX05028)

作者简介: 李金洪(1984-), 男, 工程师, 硕士, 主要从事水下航行体控制系统设计与图像信息处理方面的研究。

Email: goodnessme@yeah.net

0 引言

CMOS 图像传感器 (CMOS Image Sensor, CIS) 是图像传感器与 CMOS 电路的组合^[1-2]。自 20 世纪 90 年代以来,随着 CMOS 工艺和电路设计技术的不断发展,CMOS 图像传感器性能不断提高,拉开了 CMOS 图像传感器在微光领域应用的序幕^[3-4]。随着对低照度 CMOS 图像传感器研究的深入,在不远的将来,低照度 CMOS 图像传感器将在微光器件领域占据重要地位^[5]。

在电路设计方面,像元电路直接与光电探测器相连,处于低照度 CMOS 图像传感器信号处理链路的最前端,因此其性能直接影响到 CMOS 图像传感器在低照度条件下的应用。目前,较为常用的像元电路为 3T 和 4T 有源像元电路 (4T-APS),然而 3T 和 4T 有源像元电路具有光电二极管偏置电压不稳定,注入效率低,转换增益很难提高等缺陷^[1],对微弱信号的读取效果较差。作为高性能读出电路特征的电容反馈跨阻放大器 (Capacitive Trans-impedance Amplifier, CTIA) 像元电路可提供恒定的偏置电压;具有较高的注入效率和转换增益^[6],适合对微弱信号的读取。

由于低照度条件下光电探测器输出的信号十分微弱,很容易被噪声、偏移淹没,因此还应在电路设计层面采取相应的技术措施减小噪声。双 Δ 采

样 (Delta Double Sampling, DDS) 通过对像元的积分信号与下一帧复位信号进行采样,然后将两次采样信号做减法后输出最终结果,可以有效抑制人眼较为敏感的固定图案噪声 (Fixed Pattern Noise, FPN)^[7],提高图像传感器的成像质量。DDS 在卷帘快门模式 (Rolling Shutter) 下可以连续完成像元积分信号与下一帧复位信号的读取,无需占用额外的存储资源和时间资源,符合 CMOS 图像传感器在低照度条件下积分时间长的要求。

文中设计了一款基于 CTIA 像元电路与 DDS 的低照度 CIS 系统。文中首先对低照度 CMOS 图像传感器系统的总体架构和工作原理进行介绍,然后详细叙述了 CTIA 像元电路的设计以及卷帘快门模式下 DDS 的工作时序,最后对该系统进行测试并对测试结果进行分析。

1 系统总体架构

文中所设计的低照度 CMOS 图像传感器系统主要由 CMOS 图像传感器芯片和片外系统构成。CMOS 图像传感器芯片主要包括 CTIA 像元电路,列级 ADC 电路,数字多路选择器 (Digital MUX) 以及数据传输单元 (Transmitter) 等。片外系统利用 FPGA, CPLD 等可编程逻辑器件,进行 CIS 芯片的时钟控制,数据接收 (Receiver) 以及 DDS 操作,系统的架构如图 1 所示。

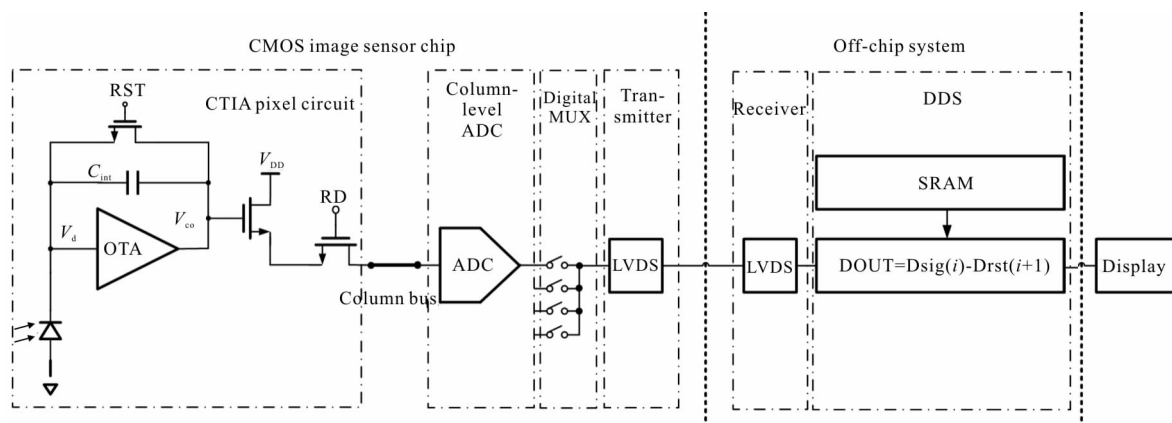


图 1 基于 CTIA 与 DDS 的低照度 CMOS 图像传感器系统架构

Fig.1 Low-light-level CMOS image sensor system diagram with CTIA and DDS

该低照度 CMOS 图像传感器系统的工作原理如下: CMOS 图像传感器芯片接收片外系统的控制信号,控制像元电路在 Rolling Shutter 工作模

式下进行积分、复位和读出等操作;像元的积分信号与复位信号通过列级 ADC 电路量化后,转换成数字信号;然后经过数字多路选择器和数据传输

单元传输到片外系统。片外系统接收到 CMOS 图像传感器芯片一行像元的积分信号后存储在 DDS 模块里的存储单元里,然后接收同一行像元下一帧的复位信号,并与存储单元里的积分信号进行减法运算;直到最后一行像元的积分信号与复位信号的减法操作完成后,将整帧数字结果送到显示器显示。其中 CTIA 像元电路的设计及 DDS 模块的时序控制将在第 2 节与第 3 节详细叙述。

2 CTIA 像元电路设计

2.1 CTIA 像元电路设计

传统 CTIA 像元电路的核心为差分运算放大器与积分电容构成的积分器。其中差分运算放大器引入的失调电压将直接影响光电二极管偏压的稳定性;差分运算放大器占用芯片面积大,影响像元的填充因子;而且功耗相对较大。

因此需要对传统 CTIA 像元电路中的差分运算放大器进行改进,设计了图 2(a)所示的基于单端四管共源共栅(Cascode)运算放大器的 CTIA 像元电路。将差分放大器用共源共栅型放大器替换,既不会引入失调电压又能节省面积,并且只有一路直流通路功耗低。其工作时序如图 2(b)所示,其工作过程为:首先,复位信号(RST)变为高电平,CTIA 像元电路复位,此时积分电容 C_{int} 两端电压相等,且均为 V_{rst} ;其次,RST 信号变为低电平,像元电路复位结束进入光电流积分阶段,由于积分电容 C_{int} 左极板的电压受到运算放大器的控制不变,因此在 C_{int} 右极板上产生感应电荷并逐渐累积,电压 V_{co} 逐渐升高,直到积分过程结束;最后,积分完成后,读出信号 RD 变成高电平,将电压 V_{co} 经过源极跟随器传输到列总线上。

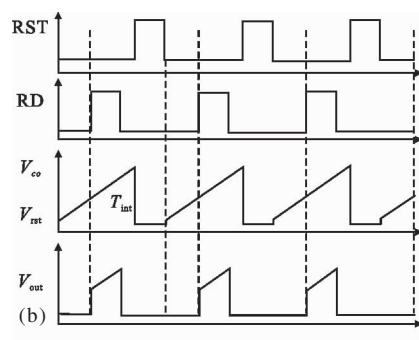
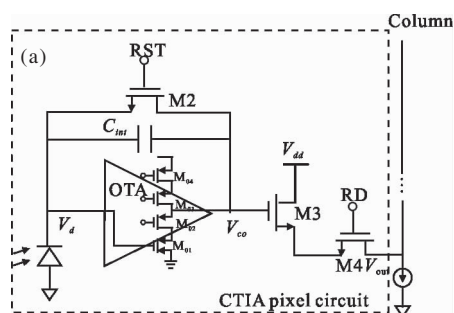


图 2 基于四管 Cascode 的 CTIA 像元电路图(a)及其时序图(b)

Fig.2 CTIA pixel circuit based on 4-T Cascode (a) and its timing diagram (b)

图 2(a)中光电二极管的偏置电压为四管 Cascode 中输入管的静态输入电压,在积分过程中保持不变,当采用 $0.35 \mu\text{m}$ 工艺时,光电二极管的反向偏压为 0.6 V 左右。若四管共源共栅的四个晶体管都工作于饱和区,则增益 A 大约为晶体管本征增益的平方。当直流工作电流为 80 nA 时, A 可达到 70 dB 以上。

对于图 2(a)中四管共源共栅运算放大器的输入端 V_d 可以写出:

$$I_{pd}(s) + V_d(s)((1-A)C_{int} + C_{pd})s = 0 \quad (1)$$

式中: I_{pd} 表示流过光电二极管的电流; C_{int} 表示积分电容; C_{pd} 表示光电二极管的寄生电容; A 表示运算放大器的开环增益。又因为:

$$V_d(s) = \frac{V_{co}(s)}{A} \quad (2)$$

因此通过公式(1)可以计算出运算放大器的输出端电压 V_{co} :

$$V_{co}(s) = \frac{I_{pd}(s)}{C_{int} \left(1 - \left(1 + \frac{C_{pd}}{C_{int}} \right) \frac{1}{A} \right) s} \quad (3)$$

于是:

$$V_{co} = \frac{1}{C_{int} \left(1 - \left(1 + \frac{C_{pd}}{C_{int}} \right) \frac{1}{A} \right)} \int I_{pd} dt \quad (4)$$

当 $|A| > 70 \text{ dB}$ 时, $|A| \gg C_{pd}/C_{int} > 1$, 运算放大器的输出端电压 V_{co} 可以写成:

$$V_{co} \approx \frac{1}{C_{int}} \int I_{pd} dt \quad (5)$$

通过上式可以得出 CTIA 像元电路的注入效率几乎为 100% , 其转换增益由积分电容确定, 积分电容越小转换增益越大。为保证像元电路在低照度条

件下对微弱信号的读取能力,积分电容一般选择为几个 fF。CTIA 像元电路还可为光电二极管提供稳定的偏置电压,减小低照度 CIS 的非均匀性。

2.2 Cascode 运算放大器偏置电路设计

CTIA 像元电路中的 Cascode 运算放大器,采用两个共源共栅结构的 NMOS 管构成输入管,两个共源共栅结构的 PMOS 管构成恒定电流源负载,这样可以提供高增益,但是将牺牲电压余度,因此考虑采用一种高摆幅的共源共栅运算放大器偏置电路结构,如图 3 所示。

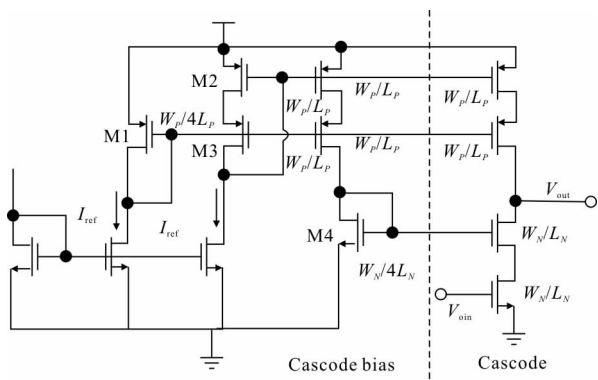


图 3 高摆幅共源共栅放大器偏置电路图
Fig.3 High-swing bias circuit of Cascode

由图 3 可以看出,Cascode 运算放大器结构设计时两个 NMOS 管与 PMOS 管的尺寸分别相同, M1 的宽长比是 M2 与 M3 的 1/4,Cascode 运算放大器的直流工作电流为 I_{ref} 。忽略体效应,假设 M2 的过驱动电压为 V_{onp} ,因此:

$$V_{onp} = \sqrt{\frac{2I_{ref}}{\mu_p C_{ox} \frac{W_p}{L_p}}} \quad (6)$$

由于 M1 与 M2 的漏电流相等,因此 M1 的过驱动电压 V_{onp1} ,可以表示为:

$$V_{onp1} = \sqrt{\frac{2I_{ref}}{\mu_p C_{ox} \frac{W_p}{4L_p}}} = 2V_{onp} \quad (7)$$

可以得到四管 Cascode 结构的最大输出电压 V_{max} 为:

$$V_{max} = V_{dd} - 2V_{onp} \quad (8)$$

同理,M4 的宽长比是相同的 NMOS 共源共栅结构的 1/4,这样可得四管共源共栅运算放大器的最小输出电压 V_{min} 为两个 NMOS 管的过驱动电压 V_{onn} 之和。

因此采用此高摆幅偏置电路后此四管 Cascode 运算放大器的输出电压摆幅 ($V_{max} - V_{min}$) 为 $V_{dd} - 2(V_{onp} + V_{onn})$ 相比于标准的共源共栅偏置结构的电压摆幅提高了 ($V_{thp} + V_{thn}$)(其中 V_{thp} 与 V_{thn} 分别表示 PMOS 和 NMOS 的阈值电压。

3 双 Δ 采样的时序控制

CMOS 图像传感器中的噪声主要分为固定图案噪声和时域噪声。其中,固定图案噪声不随时间变化,是由于制造工艺等非理想因素而产生的不匹配现象所引起的,主要表现为暗信号非一致性 (Dark Signal Nonuniformity, DSNU)^[1]。CMOS 图像传感器受到较大列变化的影响,表现出列固定模式噪声占主导,这会在图像中产生固定不变的列条纹,且人的眼睛对这些列条纹比较敏感,严重影响图像质量。因此在低照度 CMOS 图像传感器设计中首先应考虑如何消除或降低固定图案噪声。

在 CMOS 图像传感器中可以采用 CDS 消除固定图案噪声,虽然 CDS 在 4T-APS 中很容易实现,但在 3T-APS 和 CTIA 像元电路中不容易实现。在参考文献[8]中提出的一种 Rolling Shutter 工作模式下采用的数字 CDS 结构,需要一帧的存储空间,而且只有一半的帧时间用于积分,限制了低照度 CMOS 图像传感器的性能。参考文献[9]中提出的双通道 CDS 结构,在 CTIA 像元内采用相同的两路采样保持电路,然后对两路输出进行差分相减来实现相关双采样。此结构会引入新的固定图案噪声;不能完全消除列级固定图案噪声;而且电路结构复杂,填充因子低。因此文中提出一种数字双 Δ 采样 DDS 结构,在 Rolling Shutter 工作模式下,可以将全部帧时间用于积分;它处于列级 ADC 结构之后,可以有效消除对于人眼敏感的固定图案噪声。

双 Δ 采样通过对像元输出信号进行两次采样,第一次为像元积分信号,第二次为下一次复位后的复位信号,然后将两次采样信号做减法后输出最终结果,达到消除 CMOS 图像传感器 FPN 的目的。DDS 可以在 ADC 之前的模拟域进行两次采样信号的相减,也可以在 ADC 之后的数字域进行两次采样信号的相减。在数字域进行的 DDS 不仅可以

消除像元阵列还可以消除列级 ADC 阵列的固定图案噪声。

文中采用一种片外数字 DDS 结构，将一行积分信号的存储空间和数字减法运算在片外可编程

器件上实现，其时序控制如图 4 所示。整个低照度 CMOS 图像传感器系统采用卷帘快门模式，不同行上的像元按照一定的顺序进行复位，当复位进行若干行后，不同行上的像元顺序开始读出过程，因此

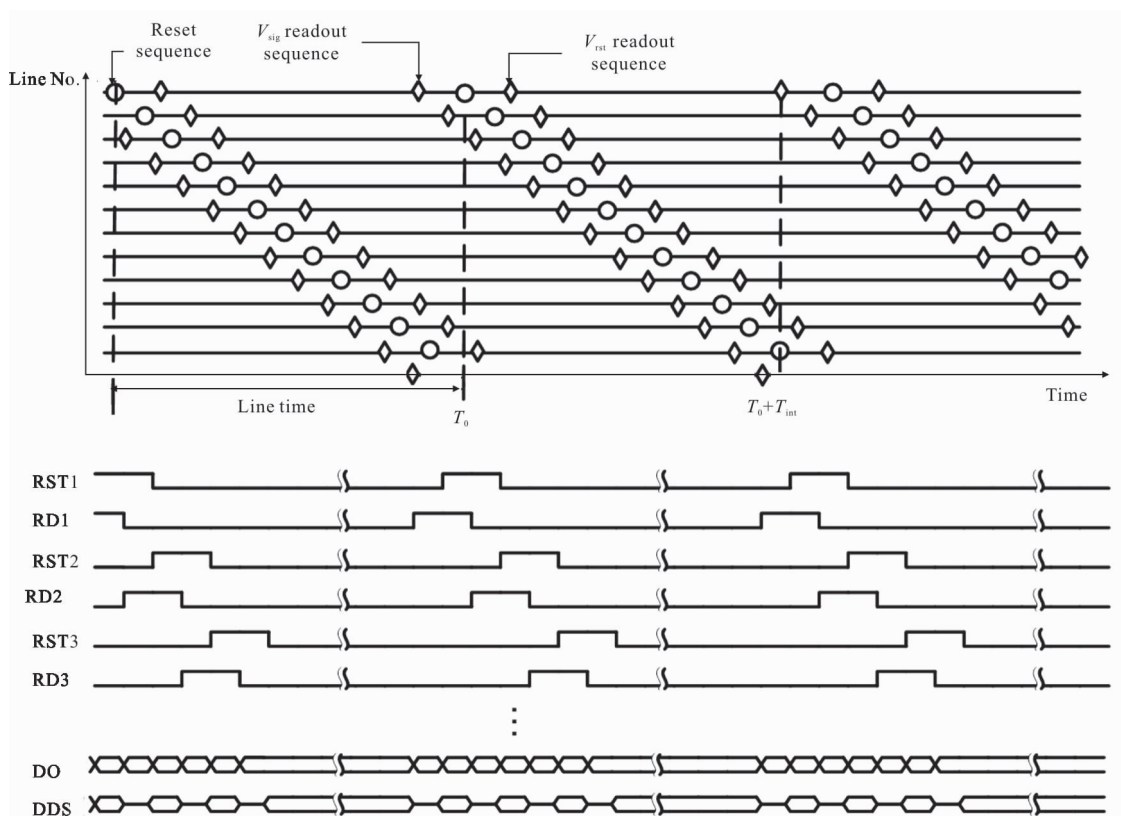


图 4 卷帘快门模式下的 DDS 时序图

Fig.4 Timing diagram of DDS under rolling-shutter

每一行积分时间相等，行时间相等。在 T_0 时刻，第一行像元复位并进入积分阶段，然后各行像元依次进行复位并依次进入积分阶段。在 $T_0 + T_{int}$ 时刻，第一行像元积分完成进入读出阶段，读出第一行的像元积分信号经过列级 ADC 电路转换后，通过数字多路选择器及数据发送单元传输到片外 DDS 模块，最后存储到 DDS 模块的存储空间中；然后连续读出第一行像元的下一帧复位信号、转换后，与存储在 DDS 模块中的积分信号进行数字相减得到第一行像元此帧的输出信号。紧接着第二行积分信号读出、转换并存储，然后第二行下一帧的复位信号读出、转换并与积分信号进行减法运算，得到第二行像元的输出值，直到最后一行。

该数字 DDS 结构在 Rolling Shutter 工作模式下，可以连续读出积分信号与下一次复位信号，不会

占用过多在芯片资源，也不会影响图像传感器的积分时间，符合低照度 CIS 积分时间长度的要求，它可以在 FPGA、CPLD 等可编程器件上实现。文中的数字 DDS 结构利用 Verilog 硬件编程语言在 FPGA 内实现，可移植性强，具有广泛的工程实用价值。

4 系统测试结果与分析

文中的低照度 CMOS 图像传感器试验片采用 $0.35 \mu\text{m}$ 标准 CMOS 工艺流片，像元版图及芯片图如图 5~6 所示。整个芯片的面积为 $7.5 \text{ mm} \times 6.3 \text{ mm}$ ，其中像元阵列为 256×256 ，像元尺寸为 $16 \mu\text{m} \times 16 \mu\text{m}$ ，光电二极管采用 N-well/p-sub 型光电二极管，尺寸为 $5.2 \mu\text{m} \times 8.9 \mu\text{m}$ ，填充因子为 18.1%。积分电容采用 10 fF 的 PIP 电容。

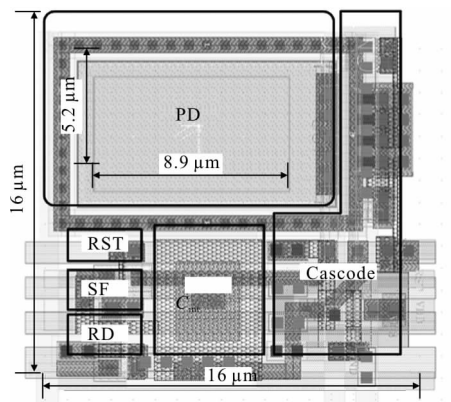


图 5 CTIA 像元电路版图

Fig.5 Layout of the CTIA pixel circuit

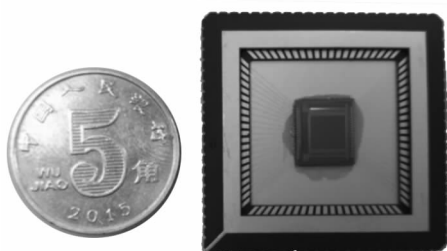


图 6 基于 CTIA 像元电路与 DDS 的低照度 CIS 芯片图

Fig.6 Picture of low-light-level CIS based on CTIA pixel circuit and DDS

测试结果表明采用该数字 DDS 结构后,低照度 CIS 芯片的 DSNU 从 1.1% 下降到 0.24%, 下降了 78.2%。证明了该数字 DDS 结构对低照度 CIS 的固定图案噪声有很好的抑制作用。该低照度 CIS 芯片的性能参数及国际上相关结果对比如表 1 所示。

表 1 低照度 CIS 的性能参数对比表

Tab.1 Low-light-level CIS performance comparison

Parameters	This work	Xu,JSSC ^[9]
Process	0.35 μm standard CMOS process	0.18 μm standard CMOS process
Array size	256×256	256×256
Pixel size	15 μm×15 μm	16 μm×16 μm
ADC	16-bit sigma-delta ADC	10 bit,13 b SAR ADC
Source supply	3.3 V(simulation), 2.5 V(digital)	1.8 V
Sensitivity	13.2 μV/e ⁻	68.5 V/lx·s
Frame rate	5-50 fps	1500 fps
Temporal noise	2.34 mVrms	3.9 mVrms
DSNU	0.24%	0.52%
Power consumption	1.57 μW/pixel (39 fps)	5.9 μW/pixel (1 500 fps)

该低照度 CMOS 图像传感器采用 DDS 前后拍摄的照片如图 7 所示,其中测试温度为室温,低照度 CIS 的帧频为 5 fps。镜头为可见光镜头, F 数为 1.8, 焦距可调。光照强度分别为 0.05、0.1、1 lx, 积分时间 200 ms, 拍摄距离为 4 m。

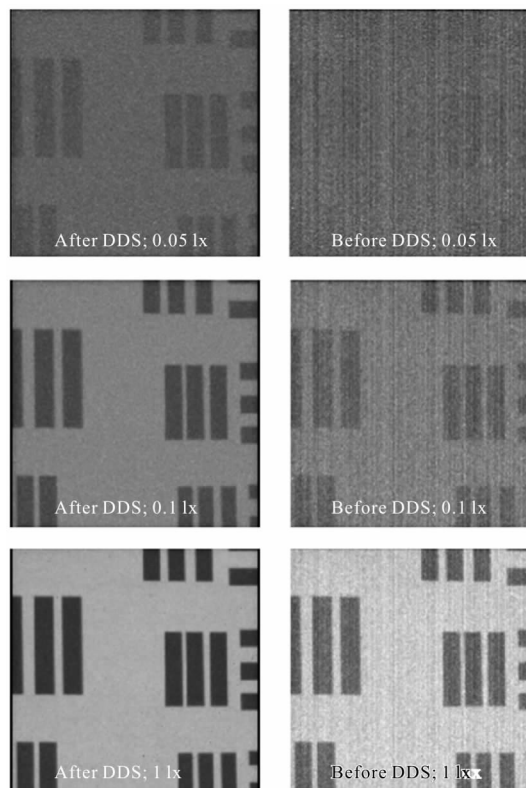


图 7 基于 CTIA 与 DDS 的低照度 CIS 拍摄的照片

Fig.7 Images captured by the low-light-level CIS based on CTIA and DDS

从图 7 可以看出该芯片采用 DDS 之后列固定图案噪声明显减小,图像可辨识度明显提高,图像细节更加清晰。该低照度 CIS 系统可以探测到 0.05 lx 光照强度下的图像。

该项目组研发的一款基于 4T-APS 像元的 CMOS 图像传感器与该基于 CTIA 像元的低照度 CIS 芯片, 在 0.1 lx 光照强度下的成像图像如图 8 所示。这两款 CMOS 图像传感器除了像元电路不同以外,其余组件完全相同,而且像元尺寸,填充因子和积分时间均相同。可以看出,在相同条件下,基于 CTIA 像元的 CMOS 图像传感器在低照度下的成像质量明显优于基于 4T 像元的低照度 CIS, 验证了 CTIA 像元电路更加适合在低照度条件下的应用。

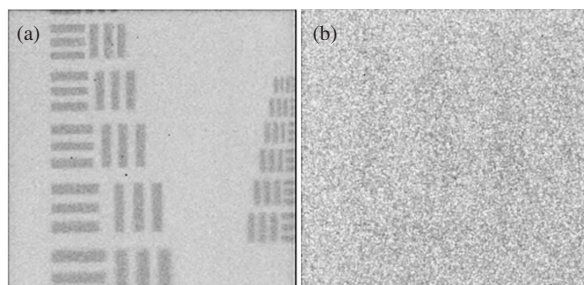


图 8 基于 CTIA 像元(a)与 4T 像元电路(b)的低照度 CIS 成像图

Fig.8 Images taken by low-light-level CIS based on CTIA (a) and 4T-APS (b)

5 结 论

文中设计了一款基于 CTIA 像元电路以及 DDS 的低照度 CMOS 图像传感器系统。经过某 $0.35\ \mu\text{m}$ 标准 CMOS 工艺流片测试后,试验结果表明:

(1) 该低照度 CMOS 图像传感器系统所采用的 CTIA 像元电路具有高注入效率,稳定的光电二极管偏置电压等优势。相比于 4T-APS,CTIA 像元电路更加适合于低照度条件下的应用。

(2) 该低照度 CMOS 图像传感器系统采用 DDS 后可以在不影响 CMOS 图像传感器的积分时间和帧频的前提下,明显改善系统的固定图案噪声,成像质量得到显著提高,而且可移植性强,具有广泛的工程实用价值。

该低照度 CMOS 图像传感器实验芯片可以在 $0.05\ \text{lx}$ 光照条件下成像,若采用 Pinned 光电二极管,微透镜等先进工艺技术,在后期图像处理阶段进行图像增强处理提高成像质量,该低照度 CIS 系统的性能将会继续提高,有望用于水下微光成像领域。

参 考 文 献:

- [1] Zhou Yangfan, Cao Zhongxiang, Wu Nanjian, et al. A low power global shutter pixel with extended FD voltage swing range for large format high speed CMOS image sensor [J]. *Science China Information Sciences*, 2015, 58(4): 042406.
- [2] Nan Chen, Shengyou Zhong, Mei Zou, et al. A low-noise CMOS image sensor with digital correlated multiple sampling [J]. *IEEE Transactions on Circuits and Systems -I*, 2017 (99): 1-11.
- [3] Zhang Yu, Lu Xinmiao, Xu Jiangtao, et al. Modeling random telegraph signal noise in CMOS image sensor under low light based on binomial distribution [J]. *Chin Phys B*, 2016, 25(7): 070503.
- [4] Pan Jinsheng, Guo Yiliang, Gu Yan, et al. Low-light-level CIS for day/night vision [J]. *Infrared Technology*, 2016, 38 (3): 181-187.
- [5] Yao Libin. Low-light-level CMOS image sensor technique [J]. *Infrared Technology*, 2013, 35(3): 125-132. (in Chinese)
- [6] Xu Ruoyu, Yuan Jie. A 1/2.5 inch VGA 400 fps CMOS image sensor with high sensitivity for machine vision [J]. *IEEE J Solid State Circuits*, 2014, 49(10): 2342-2351.
- [7] Souza R A, Ventura L G M, Reis L P, et al. CMOS Image sensor with FPN reduction by correlated double sampling in current mode [C]//Symposium on Microelectronics Technology and Devices, 2016: 1-4.
- [8] Zou Mei, Chen Nan, Yao Libin. CMOS image sensor design with AC-coupled CTIA and digital CDS [J]. *Infrared and Laser Engineering*, 2017, 46(1): 0120002. (in Chinese)
- [9] Xu Ruoyu, Liu Bing, Yuan Jie. A 1 500 fps highly sensitive 256×256 CMOS imaging sensor with in-pixel calibration [J]. *IEEE J Solid State Circuits*, 2012, 47(6): 1408-1418.