



深低温大功率电阻阵列封装结构研究

孙权 莫德锋 刘大福 龚海梅

Research on the package structure of deep low-temperature and high-power resistor array

Sun Quan, Mo Defeng, Liu Dafu, Gong Haimei

在线阅读 View online: <https://doi.org/10.3788/IRLA20210721>

您可能感兴趣的其他文章

Articles you may be interested in

深低温SiC空间反射镜背部与侧面支撑结构对比

Comparison of back supporting structure and side supporting structure of space mirror manufactured by silicon carbide in cryogenic environment

红外与激光工程. 2020, 49(2): 0214003 <https://doi.org/10.3788/IRLA202049.0214003>

空间相机快速反射镜的结构轻量化设计

Lightweight design of fast steering mirror for space cameras

红外与激光工程. 2019, 48(4): 418001 <https://doi.org/10.3788/IRLA201948.0418001>

有机电致发光器件的热学特性分析

Analysis of thermal characteristics of organic light emitting device

红外与激光工程. 2018, 47(7): 720001 <https://doi.org/10.3788/IRLA201847.0720001>

高功率板条激光介质的纵向强制对流换热技术

Longitudinal forced convection heat transfer for high power slab laser media

红外与激光工程. 2020, 49(9): 20200556 <https://doi.org/10.3788/IRLA20200556>

激光扫描热成像无损检测关键参数影响分析

Influence analysis of key parameters in laser scanning thermography nondestructive testing

红外与激光工程. 2019, 48(11): 1105008 <https://doi.org/10.3788/IRLA201948.1105008>

一种跨介质的空中-水下激光致声探测技术研究

Research on laser induced acoustic detection of trans-media aerial-underwater

红外与激光工程. 2021, 50(5): 20200310 <https://doi.org/10.3788/IRLA20200310>

深低温大功率电阻阵列封装结构研究

孙 权^{1,2,3}, 莫德锋^{1,2}, 刘大福^{1,2}, 龚海梅^{1,2}

- (1. 中国科学院上海技术物理研究所 传感技术联合国家重点实验室, 上海 200083;
2. 中国科学院上海技术物理研究所 红外成像材料与器件重点实验室, 上海 200083;
3. 中国科学院大学, 北京 100049)

摘 要: 电阻阵列的封装需求向着集成度高、大功率、深低温方向发展。为了满足 130 K 以下低温工作、稳态功率 100 W 以上的深低温应用需求, 提出了一种利用液氮进行制冷的集成封装结构, 并利用有限元仿真和实测验证相结合的方法验证了装置的制冷能力。结果表明, 热沉钼与陶瓷电极板的厚度均为 2 mm 的情况下, 加热功率在 0.1~192.76 W 区间内, 有限元仿真得到的温度与实测温度最大误差小于 7.67%, 引起误差的主要原因是封装结构件的体热阻及界面热阻随温度发生变化而仿真时采用恒定热阻。结构能够在加热功率小于 211.90 W 的工况下正常工作。在设计 100 W 稳定加热工况下, 芯片衬底温度不高于 101.9 K, 热应力为 5.66 MPa, 满足设计要求。

关键词: 有限元仿真; 电阻阵列; 封装结构; 温度分布

中图分类号: TN21 **文献标志码:** A **DOI:** 10.3788/IRLA20210721

Research on the package structure of deep low-temperature and high-power resistor array

Sun Quan^{1,2,3}, Mo Defeng^{1,2}, Liu Dafu^{1,2}, Gong Haimei^{1,2}

- (1. State Key Laboratories of Transducer Technology, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China;
2. Key Laboratory of Infrared Imaging Materials and Detectors, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China;
3. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: The packaging requirements of resistor arrays are high integration, high power, and deep low temperature. To make the resistor arrays work normally below 130 K when the heating power is over 100 W, an integrated package structure using liquid nitrogen for refrigeration is proposed. Finite element simulation and experimental verification are carried out. The results show that the overall error between the temperature distribution obtained by finite element simulation and the physical experiment is less than 7.67% when the thickness of the molybdenum heat sink and the ceramic electrode plate are both 2 mm and the heating power is in the range of 0.1-192.76 W. The error mainly comes from the body and interface thermal resistance of the package structure changing with temperature, while the constant thermal resistance is used in the simulation. The structure can work normally when the heating power is less than 211.90 W. Under the designed stable 100 W heating

收稿日期:2021-10-08; 修订日期:2021-10-25

基金项目:中国科学院重点部署项目 (ZDRW-CN-2019-3); 中国科学院青年创新促进会 (2018274)

作者简介:孙权,男,博士生,主要从事大功率器件封装方面的研究。

导师简介:龚海梅,男,研究员,博士,主要从事红外、紫外焦平面等新型探测器组件及其抗辐射机理与可靠技术方面的研究。

condition, the chip substrate temperature is not higher than 101.9 K, and the thermal stress is 5.66 MPa, which meets the design requirements.

Key words: finite element simulation; resistor array; package structure; temperature distribution

0 引言

电阻阵列器件作为最成熟的动态红外景象生成器, 因其能够在实验室中对各种红外探测系统的实时性能进行测试与评估, 大幅降低外场实验成本, 已获得广泛应用^[1-4]。为了实现红外探测器深空探测等低温背景需求的性能测试与评估, 往往要求电阻阵列芯片正常工作时背景温度低于 130 K。针对电阻阵列器件的制冷封装, 近室温器件一般采用大功率制冷机^[5-6]进行冷却, 而深低温器件多采用集成于封装结构的液冷装置^[7-8]进行冷却。液冷装置冷却具有冷量大、无振动、温度稳定等优点, 常用的制冷工质有甲烷、液氮、液氧、液氩等。大面阵芯片^[9]和大功率负载^[10]的封装结构设计中还必须考虑相应零部件的热应力^[11], 以避免工作过程中热应力导致的结构失效。随着红外动态仿真要求的提高, 电阻阵列器件的发展向着像元小型化^[12]、阵列规模增大^[13-14]、整体功率提升^[15-16]等方向发展, 随之带来的问题是发热增大^[17], 典型功率已经超过一百瓦, 瞬时功率达到数百瓦, 功率密度提升显著, 这对封装结构的低温散热能力与热可靠性提出了较高的要求。

针对以上问题, 文中设计了利用液氮进行快速冷却的电阻阵列封装结构, 对封装结构中关键零件参数的选取进行了讨论。针对电阻阵列封装结构的传热进行分析, 并与实验结果进行对比。最后, 对比分析实验与仿真分析的结果, 分析仿真误差来源, 提供仿真分析模型的改进方向。

1 封装结构设计选材

1.1 芯片结构

封装对象为 512×512 的微桥结构电阻阵列, 芯片尺寸为 30 mm×30 mm×1.5 mm, 正常工作功率为 100 W。其模块结构简图如图 1 所示, 上层为发热层, 下层为衬底层, 材质均为硅, 芯片通过环氧树脂低温胶与陶瓷电极板和金属热沉进行胶接。根据芯片实际需求, 要求正常工况下芯片衬底最大热应力小于 10 MPa, 金属热沉和陶瓷电极板最大热应力小于 50 MPa。

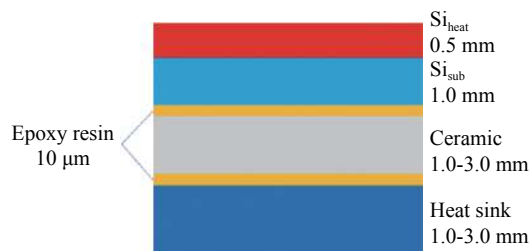


图 1 封装模块简化模型示意图

Fig.1 Schematic diagram of simplified model of package module

1.2 热设计与热应力仿真方法

将电阻阵列芯片、陶瓷电极板与金属热沉组成的系统简化为有均匀内热源的一维稳态导热模型, 以便研究热沉厚度对系统温度分布的影响。按照傅里叶定律, 热平衡状态下的硅衬底、陶瓷、环氧树脂胶层和金属热沉各层的热流密度与温度关系可表示为:

$$q = \frac{\lambda(T_{up} - T_{down})}{\delta} \quad (1)$$

式中: q 为热流密度 ($W \cdot m^{-2}$); λ 为各介质的导热系数 ($W \cdot m^{-1} \cdot K^{-1}$); T_{up} 和 T_{down} 分别为各层上下表面温度 (K); δ 为各层的厚度 (m)。

芯片发热层上表面温度如下:

$$T = \frac{\varphi}{2\lambda}\delta^2 + T_{Si-sub} \quad (2)$$

式中: T 为芯片发热层上表面温度 (K); φ 为芯片加热片的生成热 (W/m^3); T_{Si-sub} 为芯片硅衬底上表面温度。

以上一维传热模型为独立绝热系统, 其边界条件如下: 热沉下表面温度恒定, 为 80 K; 芯片发热层为均匀内热源, 总发热功率为 100 W。

对于因温度梯度产生的热膨胀受到约束而产生的热应力, 满足如下方程:

$$\sigma = E\alpha(T - T_{ref}) \quad (3)$$

式中: σ 为热应力; E 为弹性模量; α 为热膨胀系数; T 为温度; T_{ref} 为参考温度。

需要指出的是, 简化的一维换热模型将转化为接近实物的三维模型进行热仿真与应力仿真分析。文中使用商用软件 ANSYS 对三维换热模型进行仿真。

封装结构的传热可视作常物性、无内热源的三维稳态传热。

根据傅里叶定律,常物性、无内热源、稳态情况下三维热传导微分方程如下:

$$\frac{\partial^2 T}{\partial x^2} + \frac{\partial^2 T}{\partial y^2} + \frac{\partial^2 T}{\partial z^2} = 0 \quad (4)$$

考虑到环氧树脂低温胶对热应力影响较小且加入仿真模型后仿真难度增大,仿真模型中忽略低温胶对热应力的影响,由低温胶层引入的温度变化等效为界面热阻处理。文中将讨论不同结构中分别采用铜质和钨质热沉对封装结构换热能力和热应力的影响,以选取最优的换热结构与热沉材料。

1.3 封装结构温度分布验证

大功率电阻阵列的温控是该装置的关键指标,为验证散热能力,设计的电阻阵列封装结构如图 2 所示,主要包括真空腔体、制冷系统与电阻阵列芯片三部分。需要说明的是,验证实验中采用陶瓷加热片代替电阻阵芯片作为热源,非均匀加热的陶瓷加热片造成封装结构内部温度分布不均,结果与电阻阵列芯片正常工作时有一定的相似性。真空腔体由封装结构外壳、管帽和热沉底座组成,均采用 304 L 通过机加工成型,通过外接真空泵保证腔体内处于高真空状态 ($<10^{-3}$ Pa),为电阻阵列的深低温工作提供可能。

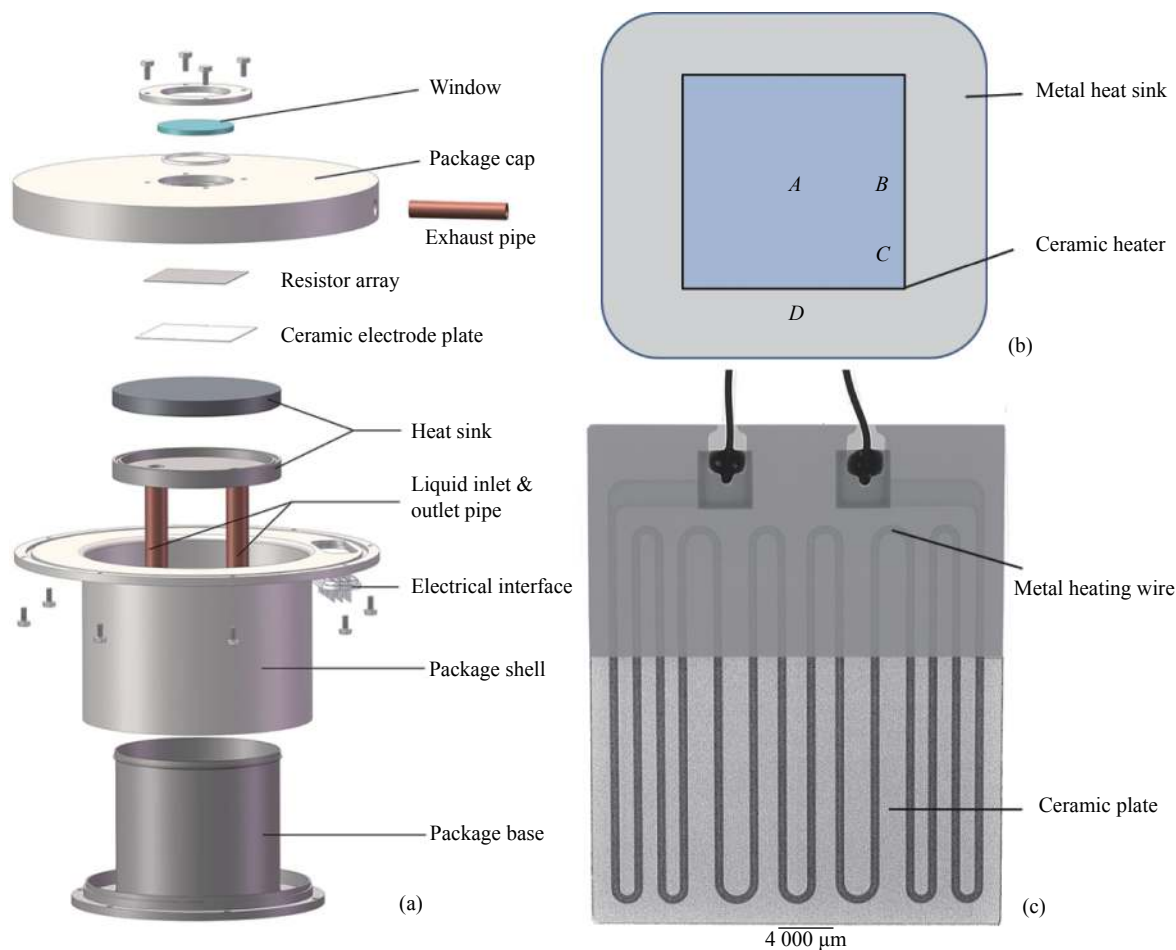


图 2 电阻阵封装结构 (a)、测温点设置 (b) 与陶瓷加热片结构 (c) 示意图

Fig.2 Schematic diagram of (a) resistor array package structure, (b) distribution of temperature measurement points and (c) Ceramic heater structure

底座为薄壁件,在为封装结构提供真空密封的同时,还能够起到减小漏热的作用。制冷系统包含出液铜管、进液铜管和液冷室,通过快速流动的液氮将芯

片产生的热量带走。液冷室为封装结构散热核心部件,冷头材质为钨或铜,待后续讨论确定,底座采用焊接性能较好的可伐(4J29)。电阻阵列芯片材质为硅,

并通过陶瓷电极板固定在液冷室冷头上。封装结构窗口为蓝宝石片。以上材料参数如表 1 所示。仿真分析时电阻阵列芯片功率区间设定为 0.1~225 W, 即芯片上表面存在大小为 111~250 000 W/m² 的热通量, 液冷室与液氮接触面温度为 80.0 K 恒温, 液氮流速 1.26 m/s。

表 1 封装结构备选材料参数对比 (100 K)

Tab.1 Comparison of package structure alternative material parameters (100 K)

Materials	$\lambda / \text{W} \cdot (\text{m} \cdot \text{K})^{-1}$	$\alpha / 10^{-6}$	E / GPa	μ
Mo	174	2.69	320	0.3
Cu	483	16.7	140	0.34
Ceramic	4.5	6.7	360	0.26
304L	9.2	9.16	200	0.3
4J29	7.6	2.09	140	0.37
Si	124	2.49	112	0.28
Sapphire	27.2	8.40	345	0.29

陶瓷加热片尺寸与陶瓷电极板一致, 为 30 mm×30 mm×2 mm。在热沉和加热片上分别设置 A、B、C、D 四个测温点, 通过数据采集器每隔 3 s 对所有测温电阻的阻值进行记录。实验中, 改变陶瓷加热片功率后, 系统能够保证在 50 s 以上的时间各温度点温度保持平稳, 波动小于 1 K, 则认为系统达到稳态, 能够稳定运行。利用外部气源泵压方式保证供应液氮速率恒定, 流经封装结构的液氮进入废液罐, 以实现液氮的循环利用。

2 分析与讨论

2.1 热沉材质的影响

表 2 为一维导热模型中 100 W 加热功率条件下不同材质和厚度热沉所在结构的温度分布。不难发现, 钼、铜两种热沉在厚度为 1~3 mm 条件下均满足芯片衬底温度不高于 130 K 的设计需求。在加热功率为 100 W 的工况下, 陶瓷电极板厚度为 2 mm, 针对钼、铜两种金属热沉厚度分别为 1 mm、2 mm 和 3 mm 时关键零件的热应力进行仿真分析, 各关键零件平均温度和热应力分布结果如图 3 所示。三维仿真模型的结果与一维导热模型一致, 均为铜质热沉所在结构

导热略优于钼质热沉所在结构。二者温度分布结果相近, 尤其是金属热沉上表面温度, 差值最大仅为 0.13 K。两种模型的误差主要出现在陶瓷与硅衬底处, 误差也小于 4.9%, 误差主要来源为对环氧树脂低温胶等效为界面热阻的数值设定偏大, 造成整体温度偏高。相同厚度不同热沉材质结构中, 相同部位温差约为 0.5~1.3 K。不同结构硅衬底的表现温度差异主要由金属热沉的温差决定。

表 2 封装结构各主要零件温度与热沉材质、厚度关系表

Tab.2 Relationship between the temperature of the main parts of the package structure and the material and thickness of the heat sink

Material of heat sink	Heat sink thickness/mm	Temperature distribution/K			
		Heat sink	Ceramic	Chip substrate	Heater
Mo	1	80.64	91.14	97.60	97.82
	2	81.28	91.78	98.24	98.46
	3	81.92	92.42	98.88	99.10
Cu	1	80.23	90.73	97.19	97.41
	2	80.46	90.96	97.42	97.64
	3	80.69	91.19	97.65	97.87

热应力仿真结果表明, 采用不同材质金属热沉的封装结构整体应力相差较大, 钼质衬底总体应力较小, 铜质衬底总体应力较大, 应力最大值均出现在零件下表面与相邻零件连接处。随着金属热沉厚度的增加, 钼质热沉结构中硅衬底的热应力增大, 而铜质热沉结构中硅衬底的热应力减小。这种现象主要是由于三种零件材料的热膨胀系数不同导致的。钼质热沉结构中, 陶瓷膨胀系数大, 钼与硅的膨胀系数小且相近, 因此增加热沉厚度导致的温度升高会使热应力进一步增大。而铜质热沉结构中, 陶瓷的热膨胀系数介于铜与硅之间, 起到了很好的缓冲作用, 较厚的金属热沉也有助于热应力的释放, 因此硅衬底上的热应力逐渐减小。尽管如此, 在芯片的硅衬底中, 铜质热沉结构中的热应力数值为钼质热沉的两倍以上。

金属热沉与陶瓷电极板的热应力差在 31.05 MPa 和 97.31 MPa 以上, 陶瓷电极板中的应力差距尤为明显。为了保证陶瓷电极板不因热应力损坏, 要求其最大应力不超过 50 MPa, 所有铜质热沉结构均不满足上述要求。综上, 相同厚度的钼质金属热沉中零件温

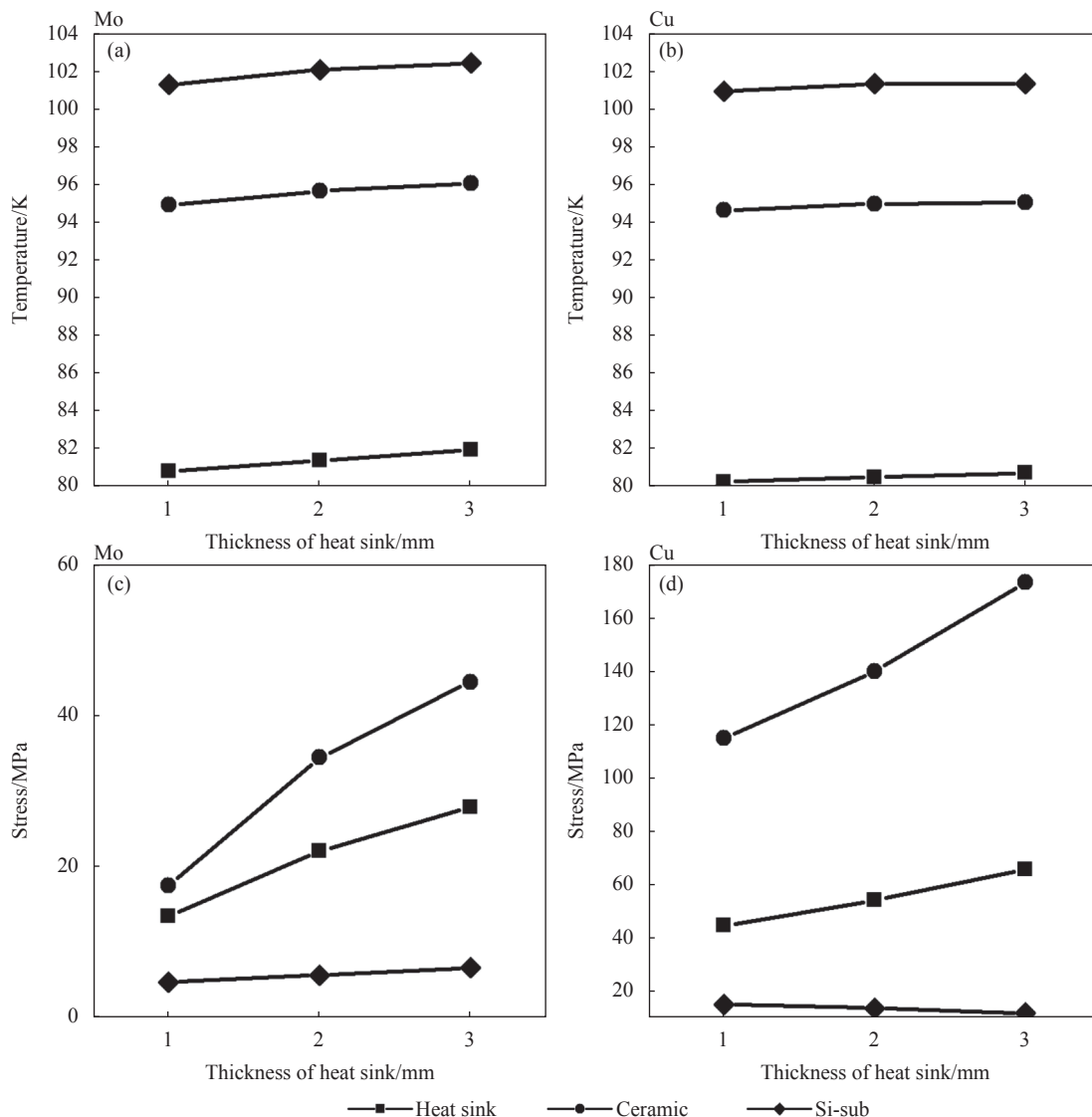


图 3 温度与钼质 (a)、铜质 (b) 热沉厚度关系图; 热应力与钼质 (c)、铜质 (d) 热沉厚度关系图

Fig.3 Relationship between the temperature of the package structure and the thickness of the molybdenum (a) and copper (b) heat sink; Relationship between the thermal stress of the package structure and the thickness of the molybdenum (c) and copper (d) heat sink

度较铜质热沉高约 0.5~1.3 K, 热应力远小于铜质热沉, 因此确定钼为金属热沉材料。

在一维导热模型中, 封装结构中温差主要由环氧树脂低温胶与陶瓷电极板引入。考虑到工艺限制, 将厚度为 0.01 mm 的低温胶减薄难度较大, 因此, 讨论陶瓷电极板厚度与钼质金属热沉厚度之间关系, 以期获得制冷性能更为优异的封装结构。图 4 为不同钼质热沉厚度与陶瓷电极板厚度对封装结构中温度分布与热应力分布的关系图。

从图 4 中不难发现, 选取厚度为 1~3 mm 的热沉与陶瓷电极板时, 随着热沉和陶瓷电极板厚度的增

加, 各零部件温度逐渐升高, 温度分布的差异主要由陶瓷电极板厚度决定, 采用 1 mm 和 3 mm 陶瓷电极板的不同结构中, 硅衬底的温差约为 8.78 K。封装结构零部件热应力随着热沉厚度的增加整体呈现增大趋势。芯片硅衬底上的热应力最大为 9.77 MPa, 且随着陶瓷电极板厚度的增加逐步下降, 满足应力不大于 10 MPa 的设计需求。金属热沉上的应力也较小, 最大应力为 27.91 MPa, 满足封装结构设计要求。在金属热沉厚度一定的前提下, 热应力在陶瓷电极板厚度为 2 mm 时出现最小值, 热应力较其他厚度减小 20.9% 以上。

考虑封装结构零部件中温度与热应力分布, 封装

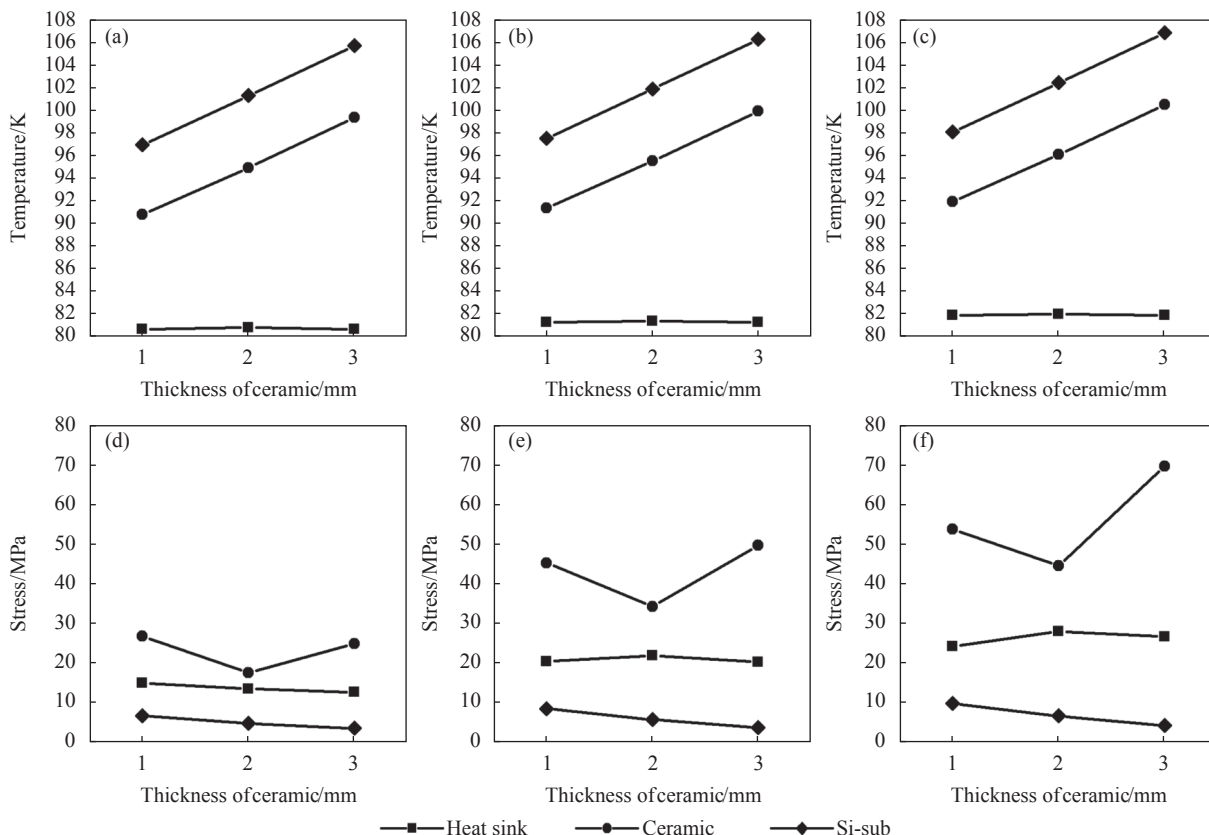


图 4 1 mm (a)、2 mm (b) 和 3 mm (c) 钼质热沉封装结构温度分布与陶瓷电极板厚度关系图; 1 mm (d)、2 mm (e) 和 3 mm (f) 钼质热沉封装结构热应力分布与陶瓷电极板厚度关系图

Fig.4 Diagrams between the temperature distribution of 1 mm (a), 2 mm (b) and 3 mm (c) molybdenum heat sink package structure and the thickness of the ceramic electrode plate; Diagrams between the thermal stress of 1 mm (d), 2 mm (e) and 3 mm (f) molybdenum heat sink package structure and the thickness of the ceramic electrode plate

结构中热沉材料最终确定为钼, 热沉厚度 2 mm, 陶瓷电极板厚度 2 mm, 此时硅衬底、陶瓷电极板和金属热沉上应力最大值分别为 5.66 MPa、34.19 MPa 和 21.88 MPa, 满足封装结构设计需求。

2.2 不同功率温度场仿真结果分析

利用仿真软件模拟陶瓷加热片加热功率为 0.1~225 W 时封装结构内部测温点温度分布, 仿真结果如图 5 蓝色曲线所示, 其中, 100 W 加热功率下的温度分布图如图 6 所示。结果表明, 四个测温点温度均随着加热功率的增加线性升高, 各测温点斜率基本不随功率改变。陶瓷加热片上的温度变化较大, 钼质热沉的温度升高较小。陶瓷加热片上的三个测温点变化规律较为接近, 其中 A、C 两个测温点在相同加热功率的情况下温度差距较小, 最大温差仅 4.47 K; 测温点 B 是所有测温点中温度变化最大点, 对比陶瓷

加热片内部加热丝分布不难发现, 测温点 B 处于陶瓷加热片中加热电阻丝密集处, 功率密度较高, 热量积聚导致此处温度最高。钼质热沉上的测温点 D 在

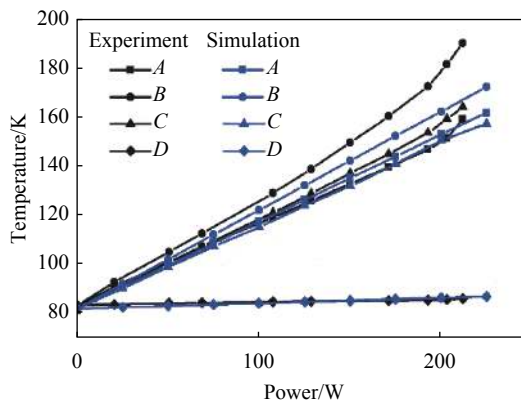


图 5 实验、仿真分析温度分布与加热功率关系图
Fig.5 Diagram of temperature distribution of physical experiment and simulation analysis and heating power

225 W 的加热功率下温度较 0.1 W 仅升高 4.92 K, 说明与液氮直接接触的钼质热沉温度较为稳定。

由于深低温应用有背景温度小于 130 K 的要求, 电阻加热片上表面温度小于 130 K 面积与加热功率关系如图 7 所示。设计要求的正常加热功率 100 W 工况下, 电阻加热片上表面最高温度小于 130 K。当加热功率超过 125 W 后, 上表面最高温度超过 130 K, 热影响区显著扩大, 导致小于 130 K 面积急剧减小。加热功率达到 200 W 后, 热影响区扩大速度显著减慢。这说明封装结构设计满足 100 W 加热功率条件下芯片衬底低于 130 K 的设计要求。

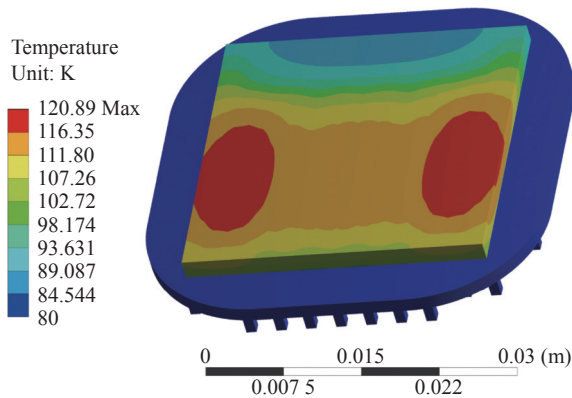


图 6 100 W 加热功率工况下陶瓷加热片模型温度分布图

Fig.6 Temperature distribution diagram of ceramic heater model under 100 W heating power

2.3 实验验证与分析

加热功率处于 87.85~128.52 W 的加热时间与温度关系图如图 8 所示。在上述加热功率范围内, 各测温点在调整加热功率后能够在 9 s 内重新达到热平衡, 并且能够长时间保持温度稳定。钼质热沉上的测温点 D 仅在调整加热功率时稍有波动, 陶瓷加热片上的测温点 A 和 C 变化规律相近, 测温点 B 温度变化幅度最大。上述规律与仿真分析过程中一致。在上述功率范围内, 仅 128.52 W 加热功率条件下的温度最高点 B 温度超过 130 K, 107.60 W 及以下加热功率条件下加热片上表面均低于 130 K, 满足设计要求。

验证实验过程中, 在保证液氮流速恒定的情况下改变陶瓷加热片的加热功率, 记录各测温点随加热功率变化的温度曲线, 如图 8 黑色曲线所示。实验表明, 加热功率不高于 211.90 W 时, 封装结构能够稳定

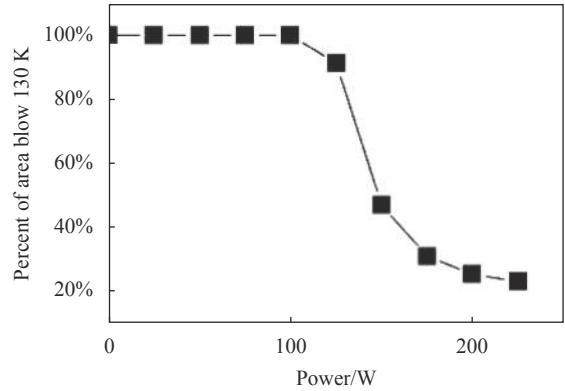


图 7 电阻加热片上表面温度小于 130 K 面积占比与加热功率关系图
Fig.7 Diagram between the ratio of ceramic heater area which surface temperature is less than 130 K and the heating power

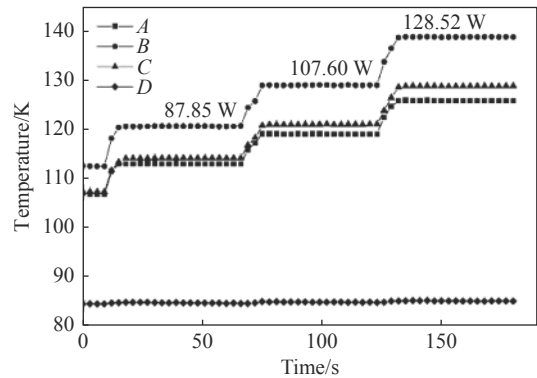


图 8 87.85~128.52 W 加热功率的加热时间与测温点温度关系图

Fig.8 Diagram between the heating time of 87.85-128.52 W heating power and the temperature of each temperature measurement point

长时间运行, 满足设计要求。实验中钼质热沉上的测温点 D 温度最低, 陶瓷加热板上的 A、C 两点温度相近, A 点略高于 C 点, B 点温度最高, 四个测温点的温度分布规律与仿真实验一致, 仿真实验结果与实验结果在 0.1~192.76 W 范围内误差最大点出现在测温点 B, 误差为 7.67%。

当封装系统不外加加热功率时, 热平衡状态下的四个测温点温度与低温冷源温度相等。图 8 中各曲线斜率为各点温度和低温冷源的温差与加热功率的比值, 根据热阻定义, 该斜率即为测温点至低温冷源的热阻。由此计算陶瓷加热片上各测温点的热阻。从图 8 中不难发现, 测温点 B 在加热功率分别为 107.60 W 和 192.72 W、测温点 A、C 在 192.72 W 时, 温度-功率曲线的斜率明显增大。分段计算各测温点

的热阻如表 3 所示。

从表 3 中不难发现,测温点 A、C 在 0~192.72 W 范围内热阻变化较小,当加热功率超过 192.72 W 后,热阻明显增大。测温点 B 在表中的三个加热范围内,热阻随着加热功率的提升显著增大。仿真模型中热阻不随着加热功率变化,三个测温点的仿真结果与 0~107.60 W 功率范围内的热阻值相近,最大误差约为 8.4%。

表 3 陶瓷加热片各测温点不同功率热阻统计表

Tab.3 Thermal resistance of different power at each temperature measurement point of ceramic heater

Temperature measuring point	Thermal resistance/K·W ⁻¹			Simulation results
	0~107.60 W	107.6~192.72 W	192.72~211.90 W	
A	0.347	0.338	0.641	0.356
B	0.440	0.512	0.918	0.403
C	0.366	0.373	0.544	0.336

对比实验仿真分析结果,热阻随加热功率变化是导致二者温度分布产生误差的重要原因。封装结构中各零件与各界面热阻随着温度升高产生变化,导致不同加热功率下结构整体热阻发生变化,在加热功率超过设计要求时该误差影响较大。

针对加热功率为 107.60~192.76 W 时测温点 B 热阻的变化,测温点 B 位于加热电阻丝密集处,因此该处热流密度较平均热流密度更大,温度较高,附近的陶瓷热导率较低,引起热阻增大。加热功率在该范围内时,仿真分析与实验的温度误差最大为 7.67%,因此认为仿真分析结果与实验较为吻合。

加热功率低于 107.60 W 的情况下,仿真结果与验证实验的误差主要来源为封装结构外壳对陶瓷加热片的热辐射。仿真分析中 0.1 W 加热功率情况下陶瓷加热片温差不超过 0.1 K,不加载加热功率时陶瓷上表面测温点温差为 1.46 K,该温差是由封装结构外壳对陶瓷加热片的热辐射产生的。

综上所述,实验验证了仿真分析的模型,证明仿真分析结果与实验结果较为吻合。在加热功率为 0.1~192.76 W 时,仿真分析与实验温度最大误差为 7.67%。加热功率大于 192.76 W 时,仿真分析的误差主要来

源于零件与界面热阻变化较大。因此,文中提出的仿真分析模型适用于 0.1~192.76 W 加热功率工况。

3 结 论

通过仿真分析对比了 100 W 加热功率下不同材质、不同厚度的金属热沉和不同厚度的陶瓷电极板对电阻阵列芯片封装结构中温度分布和热应力的影响,最终热沉材质确定为钼,厚度 2 mm,陶瓷电极板厚度为 2 mm。在设计功率(100 W)工况下,金属热沉、陶瓷电极板和芯片衬底的最高温度分别为 81.35 K、95.50 K 和 101.88 K,热应力最大值分别为 21.88 MPa、34.19 MPa 和 5.66 MPa,均满足设计要求。

建立了电阻阵列芯片封装结构温度仿真分析模型,结果表明,在 0~225 W 加热功率范围内封装结构能够稳定长时间运行。利用实验验证仿真模型,结果表明,封装结构能够在加热功率为 0~211.90 W 工况下长期稳定运行,在 0~192.76 W 加热功率范围内仿真模型温度最大误差不超过 7.67%,能够较好地模拟出电阻阵列芯片封装结构内部的温度分布情况,对封装结构设计改进起到指导作用。

分析了仿真分析模型的误差来源,对比了不同功率范围内各测温点至低温冷源的热阻,发现封装结构中各零件与界面随温度变化的热阻是中高功率下仿真分析模型产生误差的主要原因,低功率下的误差来源则主要是封装外壳对内部零件的热辐射。

参考文献:

- [1] Tang S J, Song M M, Wang B Y, et al. Infrared scene generation technology based on hardware-in-the-loop simulation of MOS resistance arrays [J]. *Journal of System Simulation*, 2018, 30(4): 1319-1327. (in Chinese)
- [2] Lv J, Kong W H, Li J. Development analysis of foreign tactical missile hardware-in-the-loop simulation capability [J]. *Tactical Missile Technology*, 2020, 2: 99-104.
- [3] Huang R S, Li H F, Liu G, et al. Status and development analysis of hardware-in-the-loop simulation technologies for the aircraft [J]. *Journal of System Simulation*, 2019, 31(9): 1763-1774.
- [4] Chen H Y, Zhao S Q, Wu G S, et al. Research on dual-band infrared image generation technology based on MOS resistor array [J]. *Air & Space Defense*, 2020, 3(4): 96-102. (in Chinese)

- [5] Gan Z H, Wu M, Zhu J K, et al. Research on a pulse tube cooler for resistor array cooling [J]. *Cryogenics*, 2015, 1: 1-7.
- [6] Lassiter T L, Marks J, Dickason J, et al. Modular carrier board and package for infrared LED arrays [J]. *IEEE Photonics Journal*, 2019, 11(4): 6.
- [7] Bryant P, Oleson J, James J, et al. MIRAGE: Developments in IRSP system development, RIIC design, emitter fabrication, and performance [C]//SPIE: Technologies for Synthetic Environments: Hardware in the Loop Testing IX, 2004, 5408: 173-187.
- [8] James J, Bryant P, Solomon S, et al. OASIS: Cryogenically-optimized resistive arrays & IRSP subsystems for space-background IR simulation [C]//SPIE: Technologies for Synthetic Environments: Hardware-in the-Loop Testing XI, 2006, 6208: 20812.
- [9] Zhang W T, Chen X, Ye Z H. Stress in HgCdTe large infrared focal plane array detector analyzed with finite element analysis [J]. *Journal of Infrared and Millimeter Waves*, 2021, 40(3): 308-313. (in Chinese)
- [10] Yuan Q H, Jing H Q, Zhong L, et al. Thermal stress in high-power semiconductor laser packaging [J]. *Chinese Journal of Lasers*, 2019, 46(10): 1001009. (in Chinese)
- [11] Song M M, Tang S J, Wang B Y, et al. Infrared decoy simulation based on MOS resistance array [J]. *Infrared and Laser Engineering*, 2017, 46(5): 0504002. (in Chinese)
- [12] Ma B, Cheng Z X, Zhou H M, et al. Development of domestic resistive arrays technology [J]. *Infrared and Laser Engineering*, 2011, 40(12): 2314-2322. (in Chinese)
- [13] McHugh S, Franks G, LaVeigne J. High-temperature MIRAGE XL (LFRA) IRSP system development [C]//SPIE: Infrared Imaging Systems: Design, Analysis, Modeling, and Testing XXVIII, 2017, 10178: 1017809.
- [14] Danielson T, Franks G, Holmes N, et al. Achieving ultra-high temperatures with a resistive emitter array [C]//SPIE: Infrared Imaging Systems: Design, Analysis, Modeling, and Testing XXVII, 2016, 9820: 98200Z.
- [15] Zhou S, Liu W G, Cai C L, et al. Development and simulation of the microbridge structure of the resistance array infrared scene generator [J]. *Journal of Xi'an Technological University*, 2012, 32(8): 613-616. (in Chinese)
- [16] Williams O M, Goldsmith G C, Stockbridge R G. History of resistor array infrared projectors: Hindsight is always 100% operability [C]//SPIE: Technologies for Synthetic Environments: Hardware in the Loop Testing X, 2005, 5785: 208-224.
- [17] Zhang K, Ma B, Huang Y, et al. Testing and analysing of 256×256 MOS resistor array for IR scene projector [C]//15th International Conference on Advanced Communications Technology (ICACT), 2013: 143-147.